

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Ikuko INOUE

GAU:

SERIAL NO: New Application

EXAMINER:

FILED: Herewith

FOR: IMAGE PICKUP SYSTEM

1C903 U.S. PTO
09/824774
04/04/01



REQUEST FOR PRIORITY

ASSISTANT COMMISSIONER FOR PATENTS
WASHINGTON, D.C. 20231

SIR:

- Full benefit of the filing date of U.S. Application Serial Number, filed, is claimed pursuant to the provisions of 35 U.S.C. §120.
- Full benefit of the filing date of U.S. Provisional Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §119(e).
- Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	2000-110915	April 12, 2000

Certified copies of the corresponding Convention Application(s)

- are submitted herewith
- will be submitted prior to payment of the Final Fee
- were filed in prior application Serial No. filed
- were submitted to the International Bureau in PCT Application Number .
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
- (B) Application Serial No.(s)
 - are submitted herewith
 - will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.



Marvin J. Spivak
Registration No. 24,913
C. Irvin McClelland
Registration Number 21,124



22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 10/98)

日本国特許庁
PATENT OFFICE
JAPANESE GOVERNMENT

Jc903 U.S. PTO
09/824774
04/04/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出願年月日
Date of Application: 2000年 4月12日

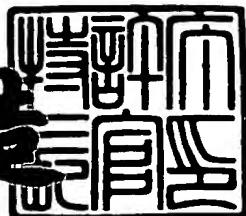
出願番号
Application Number: 特願2000-110915

出願人
Applicant(s): 株式会社東芝

2001年 3月 2日

特許庁長官
Commissioner,
Patent Office

及川耕造



出証番号 出証特2001-3014481

【書類名】 特許願
【整理番号】 12279801
【提出日】 平成12年 4月12日
【あて先】 特許庁長官殿
【国際特許分類】 H01L 27/14
【発明の名称】 撮像システム
【請求項の数】 5
【発明者】
【住所又は居所】 神奈川県横浜市磯子区新杉田町8番地 株式会社東芝
横浜事業所内
【氏名】 井 上 郁 子
【特許出願人】
【識別番号】 000003078
【住所又は居所】 神奈川県川崎市幸区堀川町72番地
【氏名又は名称】 株式会社 東 芝
【代理人】
【識別番号】 100064285
【弁理士】
【氏名又は名称】 佐 藤 一 雄
【選任した代理人】
【識別番号】 100088889
【弁理士】
【氏名又は名称】 橘 谷 英 俊
【選任した代理人】
【識別番号】 100082991
【弁理士】
【氏名又は名称】 佐 藤 泰 和
【選任した代理人】
【識別番号】 100096921

【弁理士】

【氏名又は名称】 吉 元 弘

【手数料の表示】

【予納台帳番号】 004444

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 撮像システム

【特許請求の範囲】

【請求項1】

半導体基板の撮像領域にマトリクス状に配列された光電変換層を有するMOS型センサと、

前記撮像領域を除いた前記半導体基板の領域に形成され、前記MOS型センサを駆動する駆動回路および前記MOS型センサの出力信号を処理する信号処理回路を有する周辺回路部と、

前記光電変換層に画像信号を集光するために前記光電変換層上に第1の絶縁膜を介して形成されたマイクロレンズと、

を備え、前記第1の絶縁膜の表面から前記半導体基板までの距離が前記第2の絶縁膜の表面から前記半導体基板までの距離よりも短くなるように構成されていることを特徴とする撮像システム。

【請求項2】

前記周辺回路部は少なくとも第1乃至第3配線層を有し、これらの配線層が絶縁膜を介して積層された多層配線構造であることを特徴とする請求項1記載の撮像システム。

【請求項3】

前記撮像領域には、前記第2配線層と同一層となる遮光層が形成されていることを特徴とする請求項2記載の撮像システム。

【請求項4】

前記遮光層は前記第2配線層より薄い膜厚を有していることを特徴とする請求項3記載の撮像システム。

【請求項5】

前記マイクロレンズから光電変換層までの距離は前記マイクロレンズの焦点距離にほぼ等しいことを特徴とする請求項1乃至4のいずれかに記載の撮像システム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、固体撮像装置を有する撮像システムに関する。

【0002】

【従来の技術】

近年、MOS型固体撮像素子は、低電圧、単一電源、低成本という利点があり、注目されている素子である。

【0003】

このMOS型固体撮像素子を有する固体撮像装置は、この固体撮像装置の出力信号を処理する信号処理回路がMOS型トランジスタから構成されるため、製造工程を共通化することが可能となり上記信号処理回路と、同一基板上に形成することができる。例えば、図15に示すように、MOS型固体撮像装置を有する撮像システムとしてビデオカメラ60を例に取ると、このビデオカメラ60は、撮像素子であるMOS型センサ61と、電圧信号のレベルを調整する自動ゲイン制御回路62（以下、AGC回路62ともいう）と、電圧信号をクランプするクランプ回路63（以下、CLP回路ともいう）と、アナログ信号をデジタル信号に変換するAD変換回路64と、クロックパルスを発生して撮像システム60のタイミングの制御を行うタイミング制御回路65と、上記クロックパルスに同期してMOS型センサ61を駆動制御するためのタイミング信号および駆動制御信号を発生するタイミングジェネレータ／シグナルジェネレータ回路66（以下、TG／SG回路66ともいう）と、AD変換回路の出力であるデジタル信号を処理するDSP回路67と、DSP回路67の出力をエンコードするエンコード回路68と、エンコードされた信号を出力する出力回路69と、出力回路69の出力をアナログ信号に変換するDA変換回路70とを備えている。

【0004】

MOS型センサ61によって光電変換された画像電圧信号はAGC回路62によってレベルが調整された後、CLP回路63によってクランプされ、AD変換回路64に送られる。そして上記画像電圧信号はAD変換回路64によって1サンプル値が例えば8ビットからなるデジタル画像信号に変換され、DSP回路

67に送られる。DSP回路67は、例えば色分離回路、クランプ回路、ガンマ補正回路、ホワイト補正回路、黒補正回路、二一回路、色バランス回路などから成っており、供給されたディジタル画像信号に対して必要な信号処理を行う。そしてDSP回路67によって処理された信号はエンコーダ回路68に送られる。エンコーダ回路68においては、送られてきた画像信号をデコードして輝度信号と色差信号に変換する。MOS型センサ61はTG/S G回路66から送られてくるタイミング信号および駆動制御信号によりタイミングが制御される。その後、デコードされた画像信号は出力回路69を介してDA変換回路70に供給され、アナログビデオ信号に変換され、外部に出力される。

【0005】

【発明が解決しようとする課題】

上述の撮像システムにおいては、画像光信号を信号電荷に変換する機能を有しているのはMOS型センサ61の撮像領域のみであり、このMOS型センサ61以外の回路は高集積化や速度特性が重視される。高集積化や速度特性の改善を図るためにには、多層化を行うことが必要となる。

【0006】

一方、光を扱うMOS型センサ61の撮像領域においては、一般に撮像システムの上部に光を集光するためのマイクロレンズが形成され、このマイクロレンズから、半導体基板上に形成された光電変換を行う光電変換領域まで距離が上記マイクロレンズの焦点距離に一致するか否かが問題となる。すなわち、MOS型センサ61の周辺の信号処理回路が高集積化や速度特性の改善のために多層化されても、上記光電変換領域はマイクロレンズからの距離がマイクロレンズの焦点距離にはほぼ一致していなければならない。また光電変換領域で遮光層となるA1配線は半導体基板に近い方が遮光などによる乱反射の入射防止となる。

【0007】

従来のMOS型固体撮像装置を含む撮像システムにおいては、撮像特性を重視するため、撮像領域の周辺回路を多層化していない。このため、周辺回路の集積化と高速化が実現できていないという問題が生じる。

【0008】

また、周辺回路の動作の高速化を行う場合、あるいは設計を容易にするために、同一基板上に形成される回路（MOS型センサも含む）を多層配線によって形成する場合は、光電変換領域への集光の実現は困難となり、撮像特性の劣化を引き起こすという問題が生じる。

【0009】

これらの問題点を図16および図17を参照して説明する。

【0010】

図16は図15に示す撮像システムを切断線X-X'で切断したときの断面図である。この図16に示す撮像システムは撮像特性を重視した構成となっている。この撮像システムは、MOS型センサ61が形成される半導体基板23の撮像領域81には画像光信号40を画像電気信号に変換する光電変換層27aと、拡散層27bが形成されている。この光電変換層27aと拡散層27bとの間の半導体基板23上にはゲート絶縁膜を介してゲート電極25aが形成されている。ゲート電極25aと、光電変換層27aと、拡散層27bとによってMOS型センサ61が構成される。なお、光電変換層8aは撮像領域81においてマトリクス状に配列されている。拡散層27bは層間絶縁膜31に設けられたコンタクトを介して第1のA1配線28に接続されている。したがって、光電変換層27aに変換された画像電気信号はゲート25aによって拡散層27bおよび上記コンタクトを介して第1のA1配線28に送られる。

【0011】

また、光電変換層27aを除いた撮像領域81にはA1からなる遮光膜29aが形成されている。そして、光電変換層27aの真上の、層間絶縁膜31上の領域には画像光信号40を集光するためのマイクロレンズ32が設けられた構成となっている。

【0012】

一方、絶縁物からなる素子分離領域24によって撮像領域81と素子分離された周辺回路領域82の半導体基板23上には上記回路を構成するMOSトランジスタが形成されている。これらのMOSトランジスタは、半導体基板23に形成された拡散層からなるソース領域およびドレイン領域26と、これらのソース領

域26とドレイン領域26との間に半導体基板23上にゲート絶縁膜を介して形成されたゲート電極25とを備えている。そしてソース領域およびドレイン領域26のうち一方は層間絶縁膜31に設けられたコンタクトを介して第1のA1配線28に接続されている。また、この第1のA1配線28には層間絶縁膜に設けられたコンタクトを介して第2のA1配線29に接続された構成となっている。なお第2のA1配線29と遮光膜29aは同一層を構成している。

【0013】

この図16に示す撮像システムにおいては、マイクロレンズ32によって集光された画像光信号40が、光電変換層27aで結像し易いように、撮像領域81および周辺回路領域82で2層配線構造とし、しかも第2のA1配線29および遮光膜29aの膜厚を薄くして光電変換層27aからマイクロレンズ32までの距離を短くすることにより上記距離をマイクロレンズ32の焦点距離にほぼ一致するように構成している。このため、周辺回路領域82に形成された回路の高集積化および高速化の低下が生じる。

【0014】

この高集積化および高速化の低下を防止するために、周辺回路領域82に形成される回路を、第1乃至第3のA1配線28, 29, 30を有する3層配線構造とともに、第2のA1配線29および同一層となるA1の遮光膜29aならびに第3のA1配線30の膜厚を厚くした構成の撮像システムを図17に示す。しかし、この図17に示す撮像システムにおいては、光電変換層27aからマイクロレンズ32までの距離が、マイクロレンズ32の焦点距離より長くなり、画像光信号40が光電変換層27aで結像するのが難しくなり、撮像特性が劣化する。

【0015】

本発明は上記事情を考慮してなされたものであって、可及的に良好な撮像特性を得ることができるとともに高集積化および高速動作が可能な撮像システムを提供することを目的とする。

【0016】

【課題を解決するための手段】

本発明による撮像システムは、半導体基板の撮像領域にマトリクス状に配列された光電変換層を有するMOS型センサと、前記撮像領域を除いた前記半導体基板の領域に形成され、前記MOS型センサを駆動する駆動回路および前記MOS型センサの出力信号を処理する信号処理回路を有する周辺回路部と、前記光電変換層に画像信号を集光するために前記光電変換層上に第1の絶縁膜を介して形成されたマイクロレンズと、を備え、前記第1の絶縁膜の表面から前記半導体基板までの距離が前記第2の絶縁膜の表面から前記半導体基板までの距離よりも短くなるように構成されていることを特徴とする。

【0017】

なお、前記周辺回路部は少なくとも第1乃至第3配線層を有し、これらの配線層が絶縁膜を介して積層された多層配線構造であることが好ましい。

【0018】

なお、前記撮像領域には、前記第2配線層と同一層となる遮光層が形成されていることが好ましい。

【0019】

なお、前記遮光層は前記第2配線層より薄い膜厚を有していることが好ましい

【0020】

なお、前記マイクロレンズから光電変換層までの距離は前記マイクロレンズの焦点距離にはほぼ等しいことが好ましい。

【0021】

【発明の実施の形態】

本発明の実施の形態を以下、図面を参照して説明する。

【0022】

(第1の実施の形態)

本発明による撮像システムの第1の実施の形態を図1乃至図6を参照して説明する。図1は本実施の形態の撮像システムの構成を示す断面図、図2乃至図6は本実施の形態の撮像システムの製造工程を示す断面図である。

【0023】

この実施の形態の撮像システムは、MOS型センサと、その周辺回路とが同一チップ上に形成された構成となっている。すなわち図1に示すように、MOS型センサが形成される半導体基板3の撮像領域81には、画像光信号を画像電気信号に変換する光電変換層8aと、拡散層8bとが形成されている。この光電変換層8aと拡散層8bとの間の半導体基板上にはゲート絶縁膜5を介してゲート電極6aが形成されている。このゲート電極6aと、光電変換層8aと、拡散層8bとによってMOS型センサが構成される。なお、光電変換層8aは撮像領域81においてマトリクス状に配列されている。

【0024】

一方、上記撮像領域81とは素子分離された、周辺回路領域82の半導体基板3上には、周辺回路を構成するMOSトランジスタが形成されている。なお、周辺回路は例えば図15乃至図16で説明した周辺回路と同一の構成となっている。これらのMOSトランジスタは半導体基板3に形成された拡散層からなるソース領域およびドレイン領域7と、これらのソース領域およびドレイン領域7の間の半導体基板3上にゲート絶縁膜5を介して形成されたゲート電極6とを備えている。また、上記ゲート電極6, 6a、ソースおよびドレイン領域7、ならびに拡散層8a, 8bは表面が平坦化された絶縁膜9によって覆われている。この平坦化絶縁膜9の表面上には例えばA1からなる第1配線層11が形成されている。これらの第1配線層11は周辺回路領域82においてはソースおよびドレイン領域7のうちの一方の領域と、絶縁膜9内に設けられたコンタクトを介して接続され、撮像領域81においては、絶縁膜9内に設けられたコンタクトを介して拡散層8bと接続された構成となっている。

【0025】

これらの第1配線層11は、表面が平坦化された絶縁膜12によって覆われている。そしてこの絶縁膜12の表面には、撮像領域81において例えばA1から遮光膜14a, 14aが形成され、周辺回路領域82において例えばA1からなる第2配線層14が形成されている。なお、これらの遮光膜14aおよび第2配線層14は膜厚が例えば500nm以下の膜厚で形成する。そして第2配線層14は絶縁膜12に設けられたコンタクトを介して第1配線層11に接続された構

成となっている。

【0026】

これらの第2配線層14および遮光膜14aは表面が平坦化された絶縁膜15によって覆われている。そして絶縁膜15の表面には、周辺回路領域82において例えばA1からなる第3配線層17が形成された構成となっている。この第3配線層17は絶縁膜15内に設けられたコンタクトを介して第2配線層14に接続された構成となっている。また、この第3配線層17を覆うように基板全面に絶縁膜18が形成されている。この絶縁膜18の表面は、撮像領域81において平坦化されている。撮像領域81の平坦化された絶縁膜18上には、画像光信号が光電変換層8aに集光するようにマイクロレンズ20が設けられた構成となっている。

【0027】

以上説明したように本実施の形態によれば、マイクロレンズ20が形成される撮像領域81の絶縁膜18の表面は、平坦化することにより周辺回路領域82の絶縁膜18の表面より低くなるように構成されているため、マイクロレンズに入射した画像光信号を光電変換層8aに集光し易くなり、良好な撮像特性を得ることができる。また周辺回路領域82は3層以上の配線構造とすることが可能となり、周辺回路の高集積化および高速化を実現することができる。また、A1からなる第2配線層14および遮光膜14aを薄く形成しているため、A1の結晶成長に伴うヒロックを抑制することができる。

【0028】

次に本実施の形態の撮像システムの製造方法を図2乃至図6を参照して説明する。

【0029】

まず、例えばシリコンからなる半導体基板3に絶縁膜からなる素子分離領域4を形成し、撮像領域81と周辺回路領域82とを素子分離するとともに、各領域内の素子を素子分離する(図2参照)。その後、撮像領域81および周辺回路領域82の半導体基板上にゲート絶縁膜5を形成する(図2参照)。続いて、ゲート絶縁膜5上の所望の位置にゲート電極6、6aを形成する(図2参照)。続い

て図2に示すようにイオン注入等によりソースおよびドレイン領域7ならびに拡散層8a, 8bを形成する。

【0030】

次に基板全面に絶縁膜を堆積した後、CMP (Chemical Mechanical Polishing) を用いて、その表面を平坦化し、平坦化絶縁膜9を形成する(図3参照)。続いて、リソグラフィ技術を用いてソースおよびドレイン領域7の一方、ならびに拡散層8bに各々通じるコンタクト孔10を絶縁膜9内に開孔した後、例えばスパッタリング法を用いてこれらのコンタクト孔10を埋込むようにA1を基板全面に堆積し、パターニングすることにより第1配線層11を形成する(図3参照)。

【0031】

次に図4に示すように、基板全面に絶縁膜を堆積した後、CMPを用いて、その表面を平坦化し、平坦化絶縁膜12を形成する。続いてリソグラフィ技術を用いて周辺回路領域の絶縁膜12内に、第1配線層11に通じるコンタクト孔13を開孔した後、これらのコンタクト孔13を埋込むようにA1を基板全面に堆積し、パターニングすることにより、第2配線層14を形成するとともに撮像領域81の絶縁膜12上に遮光膜14aを形成する(図4参照)。

【0032】

次に、基板全面に絶縁膜を堆積した後、CMPを用いてその表面を平坦化し、平坦化絶縁膜15を形成する(図5参照)。続いてリソグラフィ技術を用いて、周辺回路領域の絶縁膜15内に、第2配線層14に通じるコンタクト孔16を開孔した後、これらのコンタクト孔16を埋込むようにA1を基板全面に堆積し、パターニングすることにより第3配線層17を形成する(図5参照)。

【0033】

次に基板全面に例えればBPSG (Boron Phosphorus Silicate Glass) 膜18を堆積する。すると、撮像領域81上のBPSG膜18は平坦化されるとともに、周辺回路領域82のBPSG膜18よりも高さが低くなる(図6参照)。続いて、撮像領域81に色フィルタ(図示せず)およびマイクロレンズ20を形成する。なお、色フィルタは図示していないが、低層の撮像領域81と高層の周辺回

路領域82との間に十分な距離を確保することができるため、色フィルタによる色むらは生じない。

【0034】

(第2の実施の形態)

次に本発明による撮像システムの第2の実施の形態の構成を図7に示す。この第2の実施の形態の撮像システムは、図1に示す第1の実施の形態の撮像システムにおいて、周辺回路領域82の第2配線層14を、配線14₁および配線14₂からなる2層構造とし、第1の実施の形態に比べて厚くした構成となっている。なお、配線14₁と遮光膜14aは同一層となるように構成されている。

【0035】

このように本実施の形態においては、周辺回路領域82の第2配線層14を第1の実施の形態の場合に比べて厚膜化しているため、より高速動作を行わせることができる。なお、この第2の実施の形態の撮像システムも第1の実施の形態の場合と同様に良好な撮像特性を得ることができることは云うまでもない。

【0036】

(第3の実施の形態)

次に、本発明による撮像システムの第3の実施の形態を図8乃至図14を参照して説明する。図8は本実施の形態の撮像システムの構成を示す断面図、図9乃至図14は本実施の形態の撮像システムの製造工程を示す工程断面図である。

【0037】

この実施の形態の撮像システムは、図7に示す第2の実施の形態の撮像システムにおいて、撮像領域81の絶縁膜18を除去するとともに平坦化絶縁膜15を薄くした構成となっている。そして薄くした平坦化絶縁膜15上にカラフィルタ(図示せず)およびマイクロレンズ20が形成されている。

【0038】

なお、この実施の形態においては、最上層の絶縁膜18は平坦化されている。

この第3の実施の形態の撮像システムは、第2の実施の形態に比べて、光電変換層8aからマイクロレンズ20までの距離を所望の距離とすることができます、周辺回路の動作の高速性を損なうことなく撮像特性を更に向上させることができる

。また周辺回路領域82は3層配線構造としているため高集積化が可能となる。

【0039】

なお本実施の形態は第2の実施の形態の撮像領域81の絶縁膜18を除去するとともに平坦化絶縁膜15を薄膜化したが、第1の実施の形態の撮像領域81の絶縁膜18を除去するとともに平坦化絶縁膜15を薄膜化するように構成しても良い。

【0040】

次に第3の実施の形態の撮像システム製造方法を図9乃至図14を参照して説明する。

【0041】

まず例えばシリコンからなる半導体基板3に絶縁膜からなる素子分離領域4を形成し、撮像領域81と周辺回路領域82とを素子分離するとともに、各領域内の素子を素子分離する（図9参照）。その後、撮像領域81および周辺回路領域82の半導体基板上にゲート絶縁膜5上の所望の位置にゲート電極6、6aを形成する（図9参照）。続いて、図9に示すようにイオン注入等によりソースおよびドレイン領域7ならびに拡散層8a、8bを形成する。

【0042】

次に基板全面に絶縁膜を堆積したあと、CMPを用いて、その表面を平坦化し、平坦化絶縁膜9を形成する（図10参照）。続いて、リソグラフィ技術を用いてソースおよびドレイン領域7の一方、ならびに拡散層8bに通じるコンタクト孔10を絶縁膜9内に開孔したあと、例えばスパッタリング法を用いてこれらのコンタクト孔10を埋込むようにA1を基板全面に堆積し、パターニングすることにより第1配線層11を形成する（図10参照）。

【0043】

次に図11に示すように、基板全面に絶縁膜を堆積した後、CMPを用いて、その表面を平坦化し、平坦化絶縁膜12を形成する。続いてリソグラフィ技術を用いて周辺回路領域の絶縁膜12内に、第1配線層11に通じるコンタクト孔13を開孔した後、これらのコンタクト孔13を埋込むようにA1を基板全面に堆積し、パターニングすることにより第2配線層14を形成するとともに撮像領域

81の絶縁膜12上に遮光膜14aを形成する(図11参照)。その後、配線14₁上にA1からなる配線14₂を形成し、第2配線層14とする(図11参照)

【0044】

次に、基板全面に絶縁膜を堆積した後、CMPを用いて、その表面を平坦化し、平坦化絶縁膜15を形成する(図12参照)。続いてリソグラフィ技術を用いて、周辺回路領域の絶縁膜15内に、第2配線層14に通じるコンタクト孔16を開孔した後、これらのコンタクト孔16を埋込むようにA1を基板全面に堆積し、パターニングすることにより第3配線層17を形成する(図12参照)。

次に基板全面に絶縁膜18を堆積した後、CMPを用いて、その表面を平坦化し、平坦化絶縁膜18を形成する(図13参照)。続いてリソグラフィ技術を用いて、撮像領域81に開孔を有するレジストパターン(図示せず)を形成し、このレジストパターンをマスクにして撮像領域81の絶縁膜18を除去する(図13参照)。この時、絶縁膜15を、遮光膜14aが露出しないようにエッチバックしても良い。これにより、撮像領域81に開口19が形成される(図14参照)

【0045】

次に上記レジストパターンを除去した後、開口19の底の所定の場所に色フィルタ(図示せず)およびマイクロレンズ20を形成して図8に示す第3の実施の形態の撮像システムを完成する。

【0046】

なお、第1乃至第3の実施の形態においては、周辺回路領域82は3層配線構造であったが4層以上の多層配線構造であっても良い。

【0047】

【発明の効果】

以上述べたように本発明によれば、可及的に良好な撮像特性を得ることができるとともに高集積化および高速動作が可能となる。

【図面の簡単な説明】

【図1】

本発明による撮像システムの第1の実施の形態の構成を示す断面図。

【図2】

本発明の第1の実施の形態の撮像システムの製造工程を示す断面図。

【図3】

本発明の第1の実施の形態の撮像システムの製造工程を示す断面図。

【図4】

本発明の第1の実施の形態の撮像システムの製造工程を示す断面図。

【図5】

本発明の第1の実施の形態の撮像システムの製造工程を示す断面図。

【図6】

本発明の第1の実施の形態の撮像システムの製造工程を示す断面図。

【図7】

本発明による撮像システムの第2の実施の形態の構成を示す断面図。

【図8】

本発明による撮像システムの第3の実施の形態の構成を示す断面図。

【図9】

本発明の第3の実施の形態の製造工程を示す断面図。

【図10】

本発明の第3の実施の形態の製造工程を示す断面図。

【図11】

本発明の第3の実施の形態の製造工程を示す断面図。

【図12】

本発明の第3の実施の形態の製造工程を示す断面図。

【図13】

本発明の第3の実施の形態の製造工程を示す断面図。

【図14】

本発明の第3の実施の形態の製造工程を示す断面図。

【図15】

撮像システムの一具体例の構成を示す平面図。

【図16】

従来の撮像システムの構成を示す断面図。

【図17】

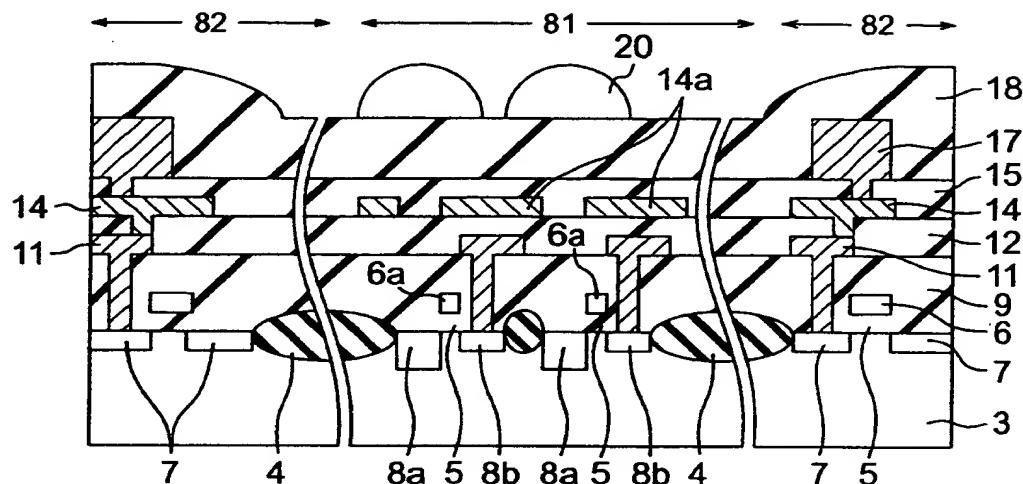
従来の撮像システムの構成を示す断面図。

【符号の説明】

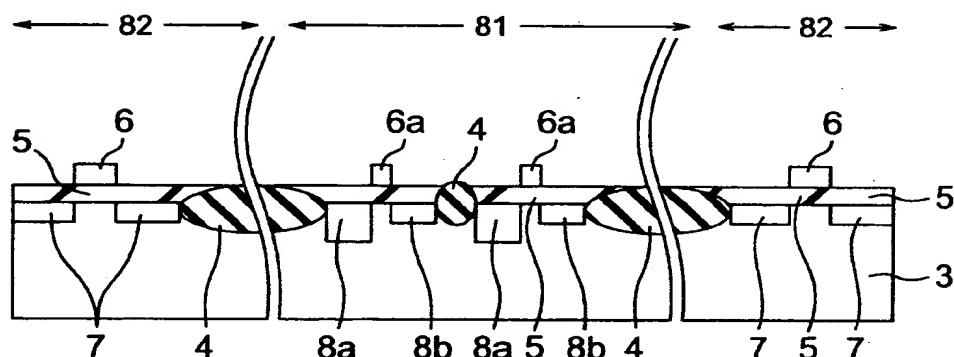
- 3 半導体基板
- 4 素子分離領域
- 5 ゲート絶縁膜
- 6, 6a ゲート電極
- 7 ソースおよびドレイン領域
- 8a 光電変換層
- 8b 拡散層
- 9 平坦化絶縁膜
- 11 第1配線層
- 12 平坦化絶縁膜
- 14 第2配線層
- 14a 遮光膜
- 15 平坦化絶縁膜
- 17 第3配線層
- 18 絶縁膜
- 20 マイクロレンズ
- 81 撮像領域
- 82 周辺回路領域

【書類名】 図面

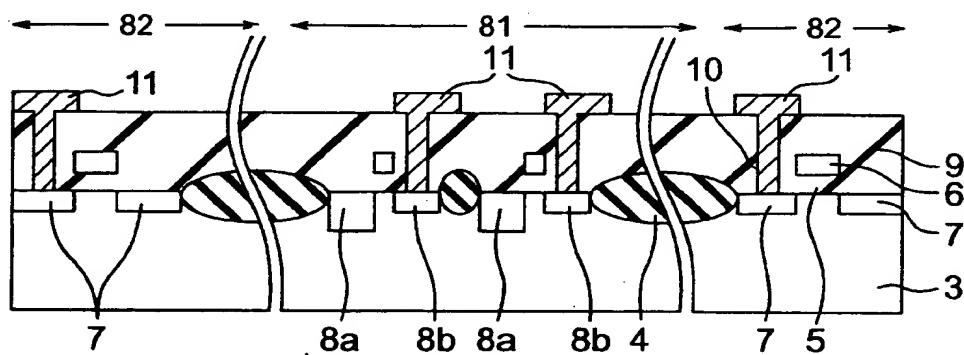
【図1】



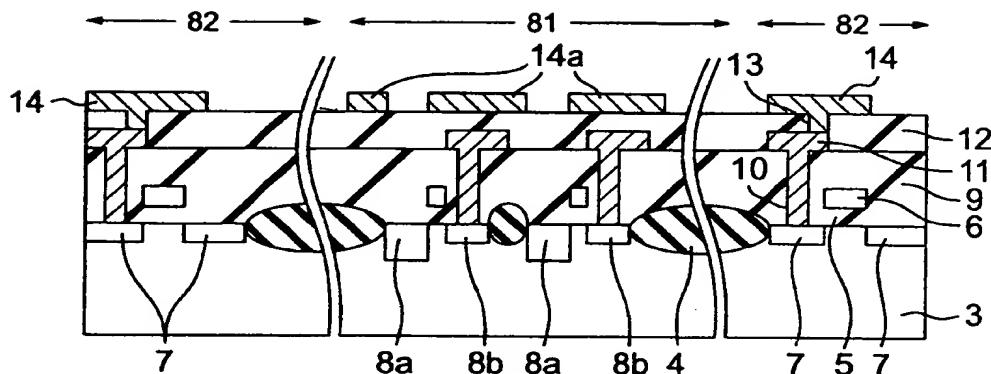
【図2】



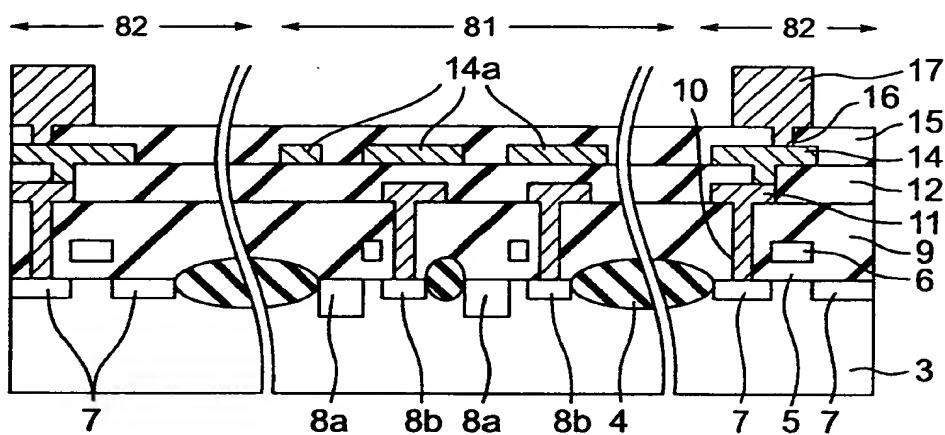
【図3】



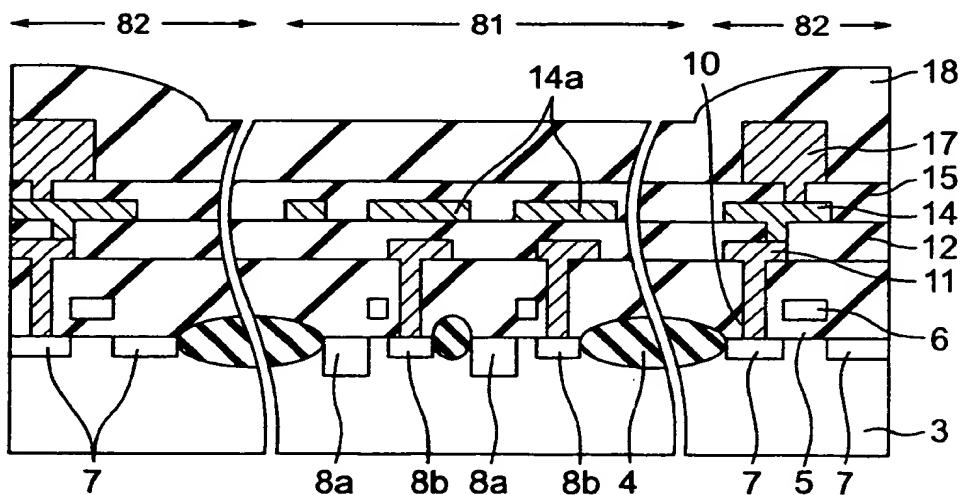
【図4】



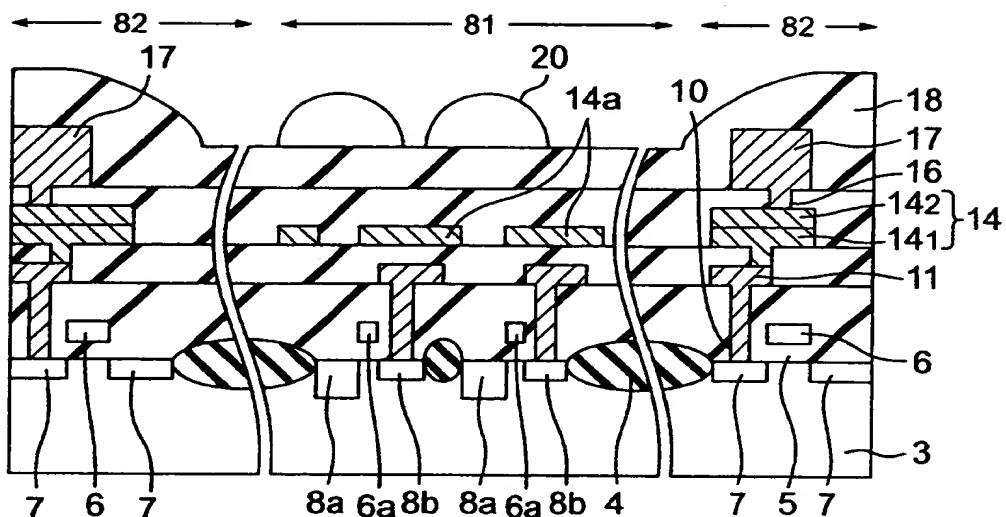
【図5】



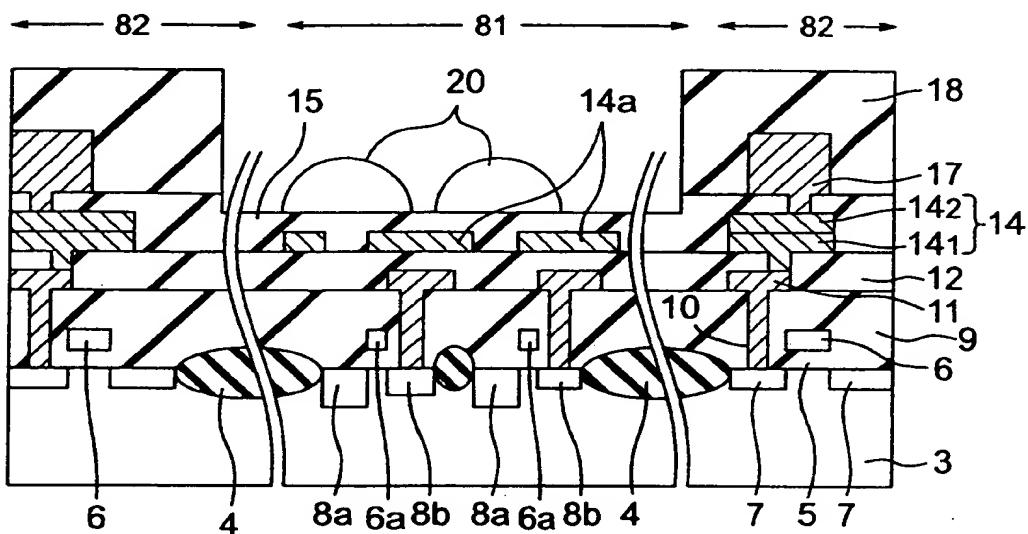
【図6】



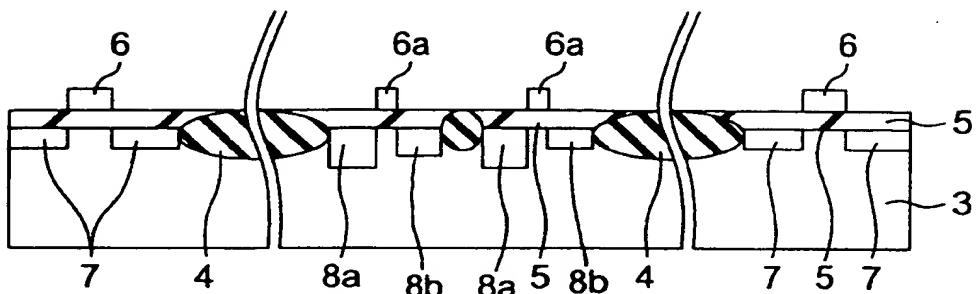
【図7】



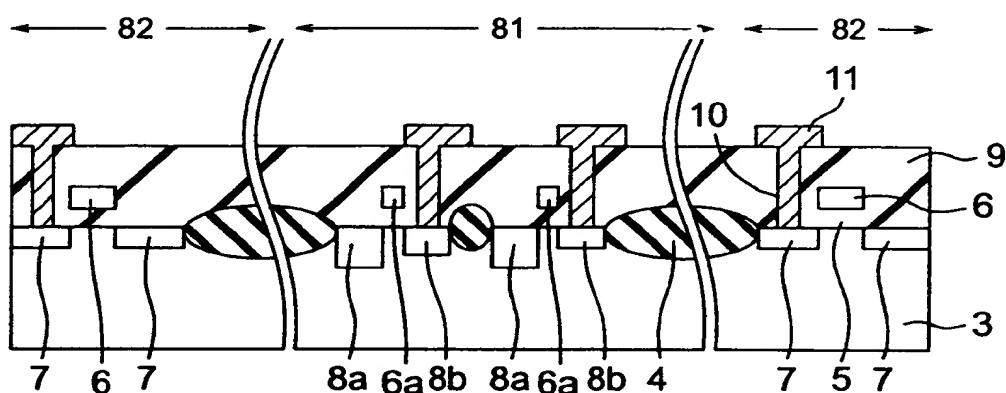
【図8】



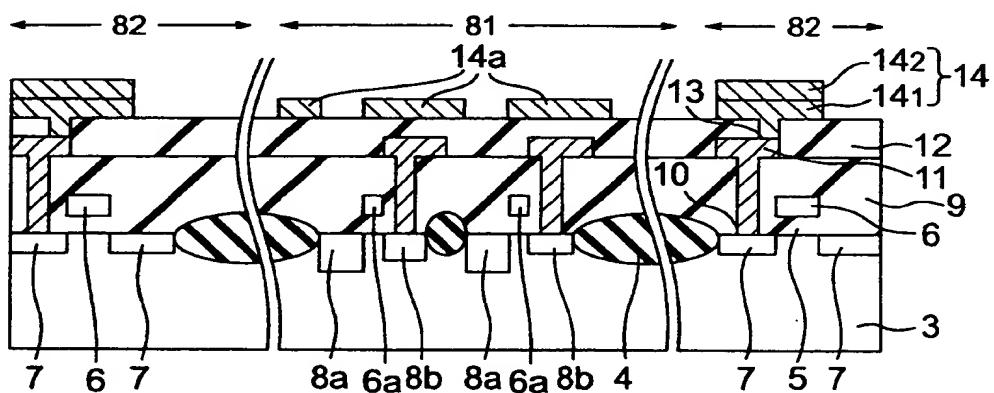
【図9】



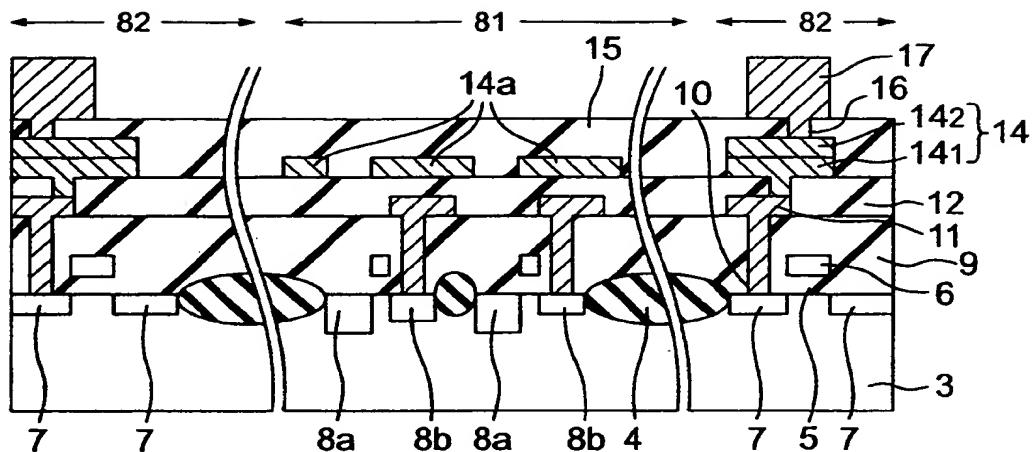
【図10】



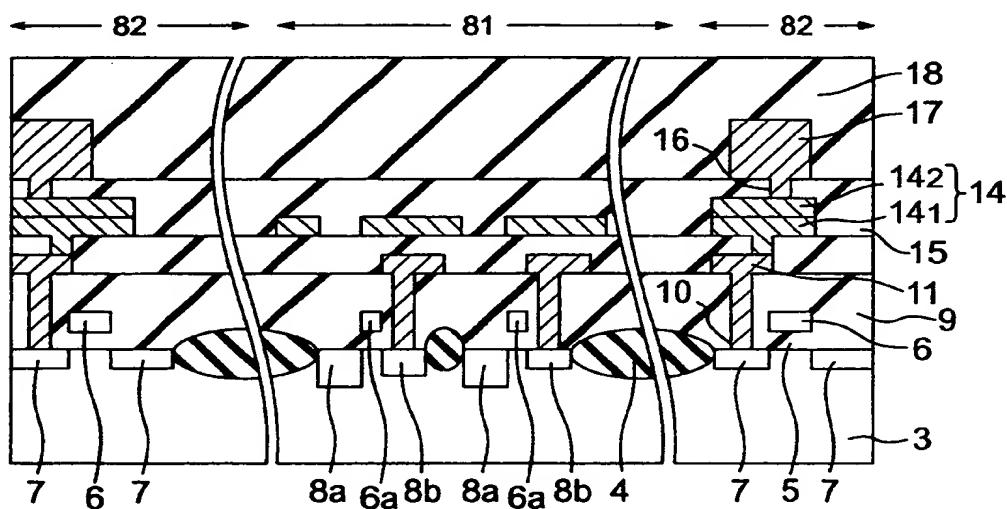
【図11】



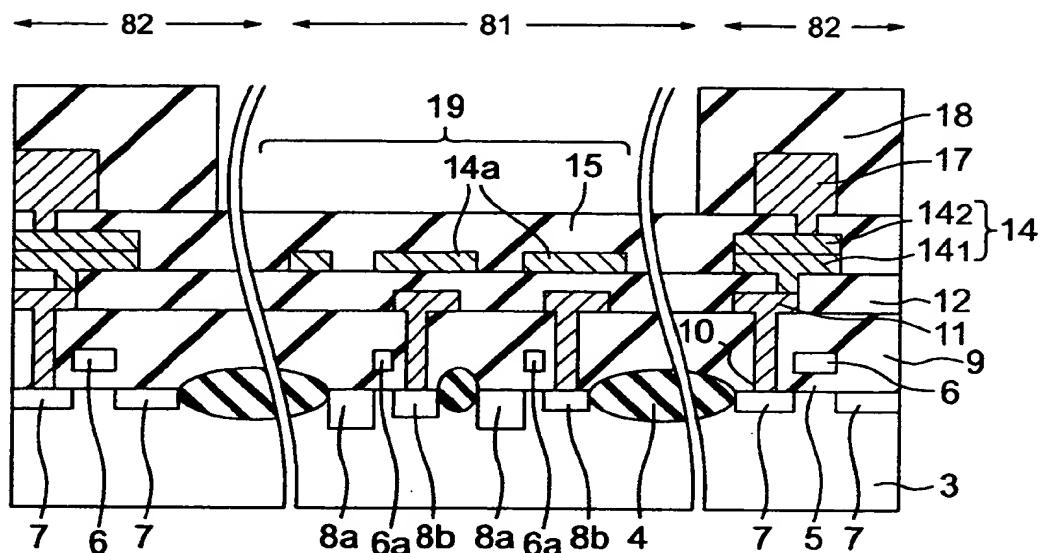
【図12】



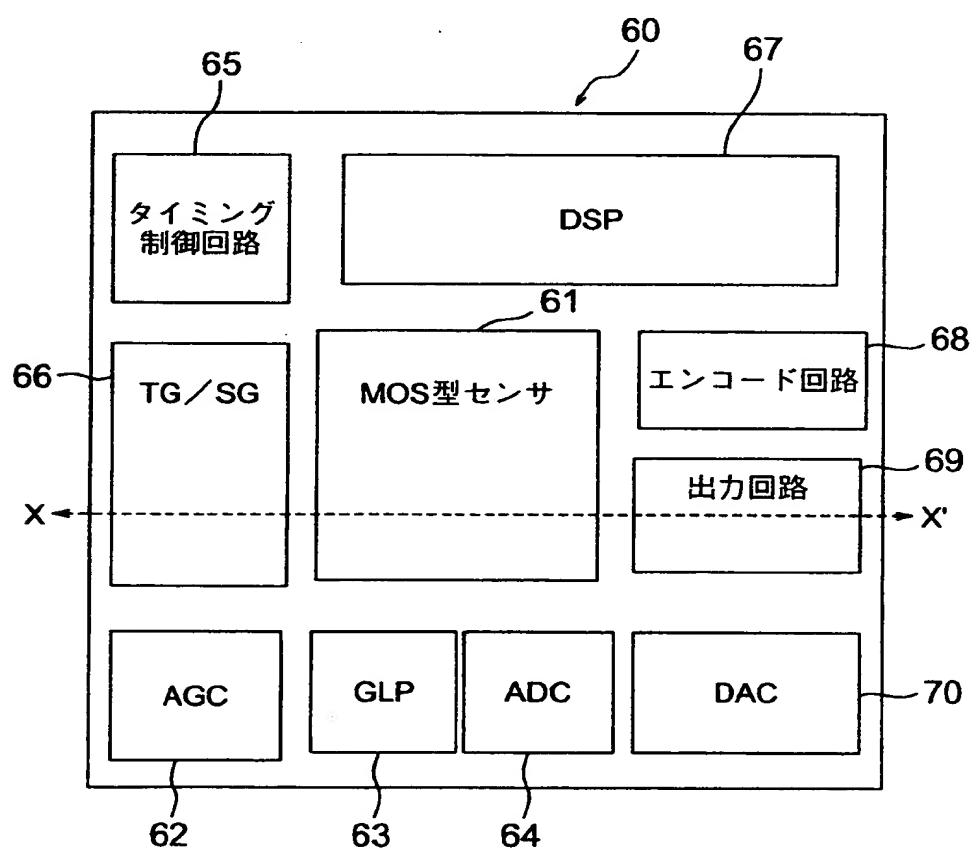
【図13】



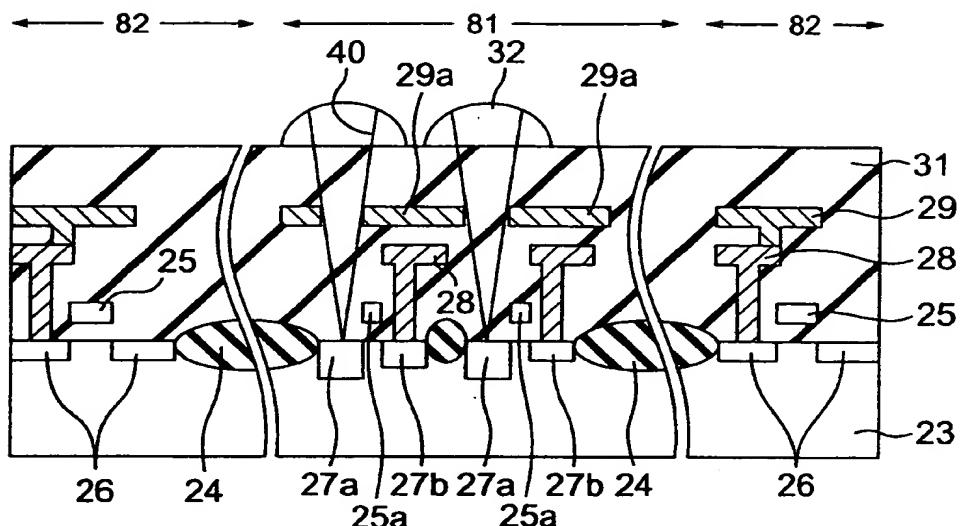
【図14】



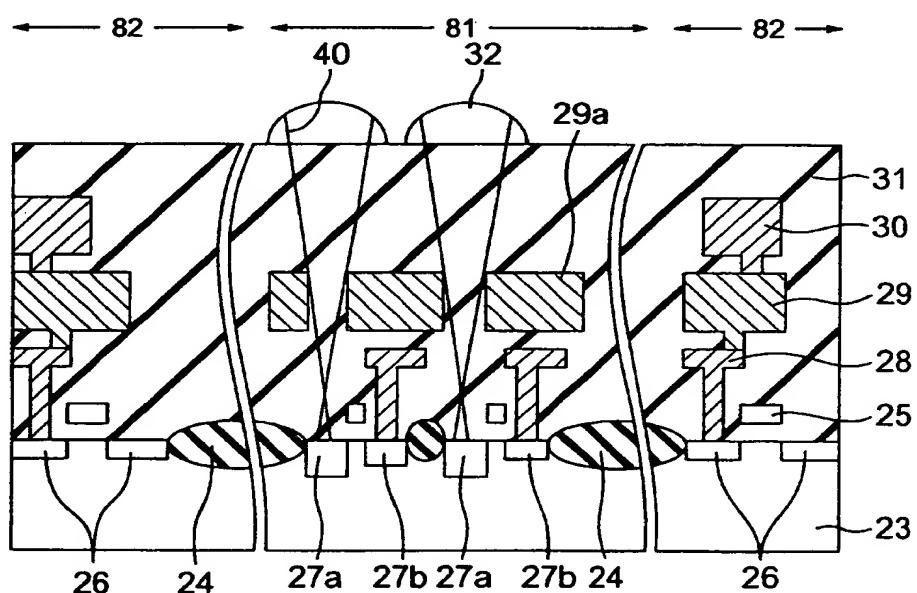
【図15】



【図16】



【図17】



【書類名】 要約書

【要約】

【課題】 可及的に高い撮像特性を得るとともに高集積化および高速動作を可能にする。

【解決手段】 半導体基板3の撮像領域81にマトリクス状に配列された光電変換層8aを有するMOS型センサと、撮像領域を除いた半導体基板の領域に形成され、前記MOS型センサを駆動する駆動回路およびMOS型センサの出力信号を処理する信号処理回路を有する周辺回路部と、光電変換層に画像信号を集光するために光電変換層上に第1の絶縁膜を介して形成されたマイクロレンズと、を備え、第1の絶縁膜の表面から半導体基板までの距離が第2の絶縁膜の表面から半導体基板までの距離よりも短くなるように構成されている。

【選択図】 図1

出願人履歴情報

識別番号 [000003078]

1. 変更年月日 1990年 8月22日

[変更理由] 新規登録

住 所 神奈川県川崎市幸区堀川町72番地

氏 名 株式会社東芝